PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2003-017578

(43) Date of publication of application: 17.01.2003

(51)Int.CI.

H01L 21/8234 H01L 21/265 H01L 27/088 H01L 29/78

(21)Application number : 2001-198594

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing:

29.06.2001

(72)Inventor: WADA HAJIME

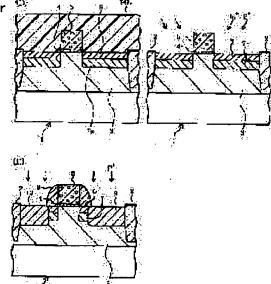
OKABE KENICHI WATANABE KO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of forming a pocket area by using indium and decreasing the increase of leak current by ion injection of indium.

SOLUTION: The semiconductor device has first and second active areas demarcated on the main surface of a silicon substrate, a first n channel MOS transistor formed on the first active area having a first extension area and a first pocket area adding the indium of first concentration at a position deeper than the first extension area, and a second n channel MOS transistor formed on the second active area having a second extension area and a second pocket area adding the indium of second concentration lower than the first concentration at another position deeper than the second extension area. Furthermore, boron may be ioninjected in the second pocket area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rej ction] [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12) 公開布

(18)日本四本部(1 P)

特開2003-17578 (11)特許出觀公園番号 群公報 (A)

(P2003-17578A)

(43)公開日 平成15年1月17日(2003.1.17)

	经 別包号	I FI		(***). (-r\!
21/8234	•	H01L 21/265	. 604V	7 5F048
21/265	604	80/12	102B	5F140
880/12		82//62	3018	
82/62				

(51) Int.C. HO 1L

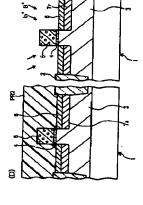
審査請求 未酬求 闘求項の数10 〇L (全 12 頁)

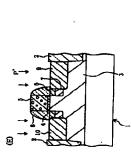
(21)出國聯母	(+B2001-198594(P2001-198594)	(71)出題人 00005223	000005223
			首士遊株式会社
(22) 出版日	平成13年6月29日(2001.6.29)		神奈川県川崎市中原区上小田中4丁目1番
			1.5
		(71)出國人	719222000
			笛士踊ヴィエルエスアイ株式会社
			愛知県春日井市高麗寺町2丁目1844番2
		(72)発明者	1 田県
			神疾川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(74)代理人 100091340	100091340
			井理士 高值 数四郎
			発体買に続く

半等体故障とその製造方法 (54) [発明の名称]

からインジウムのイオン注入によるリーク危流の増加を 【課題】 インジウムを用いてポケット領域を形成し、 **低減することのできる半導体装置を提供する。**

面定された第1、第2話性領域と、第1の活性領域上に 【解決手段】 半導体装置は、シリコン基板の主装面に 形成され、第1のエクステンション闡域と、第1のエク ムを添加した第1のポケット領域とを有する第1のnチ ナネルMOSトランジスタと、第2の活性領域に形成さ h、第2のエクステンション領域と、第2のエクステン ション領域より深い位置で第1の濃度より低濃度の第2 の讃取のインジウムを添加した第2のポケット領域とを る。さらに、第2のポケット領域にポロンをイオン柱入 ステンション国域より深い位置で第1の遺仮のインジウ 有する第2のn チャネルMOSトランジスタとを有す





してもよい。

特許請求の範囲】

「請求項1】 主表面を有するシリコン基板と、

前記第1の活性領域上に形成され、ゲート絶縁膜を備え た第1の絶縁ゲートと、

前記第1の絶縁ゲート両側の第1の活性領域に形成され た第1のエクステンション領域と、前記第1の絶縁ゲー 位置で前記第1の活性領域内に形成され、第1の遺度の 1のnチャネルMOSトランジスタと、

た第2のエクステンション領域と、前記第2の絶縁ゲー

【請求項2】 前記第2のポケット領域がさらにボロン をドープされている請求項1記載の半導体装置.

【請求項3】 前記第2のnチャネルMOSトランジス タは、前記第1のnチャネルMOSトランジスタよりも 狭いゲート幅を有する請求項1または2記載の半導体装 された第3の活性領域と, 前記第3の活性領域上に形成 され,前記第1および第2の絶縁ゲートのゲート絶縁膜 れ、ポケット領域を伴わない第3のエクステンション領 よりも厚いゲート絶縁膜を有する第3の絶縁ゲートと, 域とを有する第3のnチャネルMOSトランジスタと、 前記第3の絶縁ゲート両側で第3の活性領域に形成さ

【請求項5】 主表面を有するシリコン基板と、

上に形成された第1の園壁スペーサと、前記第1の絶縁 アンション領域と、前記第1の絶縁ゲートに整列して前 の活性領域内に形成され、第1の機度のインジウムを添 前記第1の活性領域上に形成され、ゲート絶縁膜を備え ゲート両側の第1の活性領域に形成された第1のエクス 加した第1のポケット領域とを有し、前記第1の側壁ス た第1の絶縁ゲートと、前記第1の絶縁ゲートの両側壁 記第1のエクステンション領域より深い位置で前記第1 ペーサ下方にアモルファス相の領域を含む第1のnチャ ネルMOSトランジスタと、

特民平15-017578

前記シリコン基板の主表面に形成された素子分離領域に よって画定された第1、第2話性領域と

インジウムを添加した第1のポケット領域とを有する第 トに整列して前記第1のエクステンション領域より深い

前記第2の活性領域上に形成され、ゲート絶縁膜を備え た第2の絶縁ゲートと、 前配第2の絶縁ゲート両側で第2の括性領域に形成され トに整列して前記第2のエクステンション領域より深い 位置で前記第2の活性領域内に形成され、前記第1の遺 度より低濃度の第2の濃度のインジウムを添加した第2 のポケット領域とを有する第2のnチャネルMOSトラ ンジスタとを有する半導体装置。

【請求項4】 さらに、前記素子分離領域によって画定 を有する半導体装置。

前記シリコン基板の主要面に形成された素子分離領域に よって両定された第1、第2括性領域と、

た第2の絶縁ゲートと、前記第2の絶縁ゲートの両側壁 前記第2の活性領域上に形成され、ゲート絶縁膜を備え

のnチャネルMOSトランジスタと、を有する半導体装 テンション領域と、前配第2の絶縁ゲートに整列して前 の活性領域内に形成され、前記第1の濃度より低濃度の 第2の改度のインジウムを添加した第2のボケット領域 上に形成された第2の闽壁スペーサと、何配第2の絶縁 ゲート両側で第2の活性倒域に形成された第2のエクス 記第2のエクステンション領域より深い位置で前記第2 とを有し、前記第2の倒壁スペーサド方は前記第1の倒 壁スペーサ下方よりアモルファス相の領域が少ない第2

(a) 主表面を有するシリコン基板に紧 子分離領域を形成し、第1、第2の活性領域を固定する [請求項6]

- (b) 第1、第2の活性領域上にゲート絶縁膜を形成す
- (c) 前記ゲート絶縁膜上に導電性ゲート電極層を形成 する工程と、
- して第1の活性領域上に第1の絶縁ゲート、第2の活性 (d) 前記ゲート電極圏、ゲート絶縁膜をパターニング 領域上に第2の絶縁ゲートを形成する工程と、
- (e) 前記第1、第2の活性領域にn型不純物を第1の 深さでイオン注入し、第1、第2の絶縁ゲート両側に第 1、第2のエクステンション領域を形成する工程と、
- (I) 前記第2の活性領域をマスクして、前記第1の活 性領域にインジウムを第1のドース肚で第1の深さより 深い第2の深さでイオン注入する工程と、
- (g) 前記第1の活性領域をマスクして、前記第2の活 性領域にインジウムを第1のドース量より低い第2のド 一ス量で前配第1の深さより深い第3の深さでイオン注 入する工程とを含む半導体装置の製造方法。

[請求項7] さらに、

(h) 前配第1の活性領域をマスクして、前配第2の括 性領域にボロンを第1の深さより深い第4の深さでイオ ン注入する工程、を含む請求項6記載の半導体装置の製

[請求項8] さらに、

- (i) 顔配第1、第2の絶縁ゲート回覧上に回覧スペー サを形成する工程と、
- (j) 前記側壁スペーサ外側で前記第1、第2の括性観 城へn型不純物をイオン注入する工程と、
 - (k) 前記第1、第2の活性領域に光を照射し、不純物 を活性化する工程と、を含む請求項6または7記載の半 導体装置の製造方法。

【柳水項9】 前記工程 (a) が、さらに第3の活性観 域を画定し、さらに、

- (1) 前記第3の活性領域上に前記ゲート絶縁膜より厚 い厚膜ゲート絶縁膜を形成する工程を含み、前記工程
- 一トも形成し、前起工程 (1)、 (g) が前配第3の店 (c)、 (d) が前記第3の括性質域上に第3の絶縁ゲ 性領域をマスクして行われる間求項6~8のいずれか!

8

€

項配載の半導体装置の製造方法。

【静水項10】 前配工程 (a) が、さらに第4の活性 **型域を固定し、さらに** (m) 前配第4の活性関域上に第4の絶録ゲートを形成

(n) 前配第4の活性関域にp型不純物を第5の深さで する工程と、

第6の磔さでイオン住入する工程と、を含む翻求項6~ イオン注入し、前配第4の絶録ゲート両回に第4のエク (o) 前配第4の括性関域に砒素を第5の深さより深い 9のいずれか1項配載の半導体装置の製造方法。 **ステンション匈域を形成する工程と、**

[発明の詳価な説明]

[000]

るポケット領域を有する半導体装置およびその製造方法 [晃明の属する技術分野] 本発明は、半導体装置及びそ の製造方法に関し、特にショートチャネル効果を抑制す

[0002]

ナネルMOSトランジスタにおいては、ゲート回緧の下 その対策として、ポケット構造が提案されている。nチ 【従来の技術】半導体装隘の微細化に伴い、トランジス 方にp型のポケット匈域を設ける。ポケット領域形成の タの関値に対するショートチャネル効果が問題となる。 近、p型ポケット領域を形成する不純物としてインジウ ための不純物としてボロンが広く用いられている。最 ムも用いられてきている。

【0003】ポケット領域形成用不純物として、インジ ウムを用いたnチャネルMOSトランジスタは、以下に **挙げるような利点を有する。**

【0004】ショートチャネル効果の抑制能力が大き

【0005】トランジスタ駆動能力を向上することがで

【0006】 これらの利点は、インジウムの原子量(1 15) がポロンの原子品(11)より大きく、注入位置 からの偏折、拡散を生じ難いことによりもたらされるも のと考えられる。

【0001】図5 (A)~ (D)をお照して、従来技術 によるポケット餌域を有する半導体装配の製造方法を脱

の主政面に案子分離関域2を形成する。 図の構成におい ては、シリコン基板1数面に囃子分離用牌を形成し、鞣 子分離用腺を酸化シリコンなどの絶録物で埋め込み、扱 {0008] 図5 (A) に示すように、シリコン基板1 面上に堆倒した余分の絶縁物を化学機械研磨 (CMP) 降により除去してシャロートレンチアインレーション (STI) を形成している。

(LOCOS) による森子分離倒域を形成してもよい。 幕子分離関域2により、多数の活性関域が画定される。 [0009] なお、STIに代え、シリコン局所酸化

以下、nチャネルMOSトランジスタを形成する括性質 液を倒にとって説明する。

5. 0×10¹²cm⁻²程度で注入し、関値を調整したチ 0 l3 c m ^{- 2}程度で注入し、p 型ウェル 3 を形成する。次 に、ボロンイオンや加速エネルギ30keV、ドース量 【0010】 柘柱館域のシリコン堪板装画に、ボロンイ オンを加速エネルギ300keV、ドース量3.0×1 トネル領域を形成する。

トマスクを用いてパターニングし、ゲート絶縁膜4を備 し、その上に多結晶シリコン、ポリサイド等のゲート電 極層を形成する。ゲート電極層、ゲート絶縁膜をレジス 【0011】 活性領域装面上にゲート絶縁膜4を形成 えた絶縁ゲート電極5を形成する。

ース量3. 0×10^{15cm-2}程度で注入し、浅いエクス [0012] 図5 (B) に示すように、絶縁ゲート電極 をマスクとし、砒素イオンを加速エネルギ5keV、ド アンション領域6を形成する。

トさせた4方向から往人し、インジウム添加領域を形成 インジウムイギンや 医瀬 1 ネラギ 1 0 0 k e V、ドース **量6.3×10¹³cm−2程度で基板法線から30度チル** 【0013】図5 (C) に示すように、エクステンショ /領域6の下側にポケット領域7を形成する。例えば、

[0014] 図5 (D) に示すように、絶縁ゲート電極 5 を覆うように酸化シリコン等の絶縁層を堆積し、異方 性エッチングを行なうことによって絶縁ゲート電極5の 国盛上にのみ側壁スペーサ8を投す。

【0015】絶縁ゲート電極と側壁スペーサをマスクと 崩域 9 を形成する。例えば、燐イオンを加速エネルギー 5 k e V、ドース量5.0×1015 c m - 2程度で注入す ンの抵抗を低減するためにシリサイドを形成する場合に は、金属とシリコンの化合物を形成する領域として利用 し、n型不純物をイオン注入して深いソース/ドレイン る。深いソース/ドレイン領域9は、金属電極とのコン タクト形成のために利用される。また、ソース/ドレイ

ンプ加熱を行ない、不純物を活性化する。例えば、10 [0016] イオン注入を終えた半導体基板に対し、ラ 25℃、約3秒の熱処理をランブ加熱により行う。 [0017]

「発明が解決しようとする課題」ポケット領域を形成す スタは、ショートチャネル効果を抑制し、駆動能力を向 5 ためにインジウムを用いた n チャネルMOS トランジ しまう。また、逆狭チャネル効果により狭チャネルトラ 上する等の利点を有するが、接合リーク電流が増大して ンジスタのリーク電流も増大する。

ジスタのポケット領域をインジウムを用いて形成し、か 0インジウムを用いたことによるリーク電流の増加を低 [0018] 本発明の目的は、nチャネルMOSトラン 域することのできる半導体装置を提供することである。

【0019】本発明の他の目的は、ポケット領域形成の ため、インジウムのイオン注入を採用し、かしインジウ ムを用いることによるリーク虹流の増加を低減すること のできる半導体装置の製造方法を提供することである。

された第2のエクステンション領域と、前記第2の絶縁 ば、主装面を有するシリコン基板と、前配シリコン基板 第1、第2括性領域と、前配第1の括性領域上に形成さ れ、ゲート絶縁膜を備えた第1の絶縁ゲートと、前配第 のエクステンション領域と、前配第1の絶縁ゲートに整 列して前記第1のエクステンション領域より深い位置で **前記第1の括在領域内に形成され、第1の截度のインジ** と、前配第2の絶縁ゲート両側で第2の活性領域に形成 ゲートに整列して前記第2のエクステンション領域より の濃度より低濃度の第2の濃度のインジウムを添加した 第2のポケット領域とを有する筑2のnチャネルMOS の主教面に形成された素子分離領域によって画定された 1の絶縁ゲート両側の第1の活性領域に形成された第1 ウムを嵇加した第1のポケット領域とを有する第1のn チャネルMOSトランジスタと、前配第2の括性領域.L 深い位置で前記第2の活性領域内に形成され、前記第1 【課題を解決するための手段】本発明の1観点によれ に形成され、ゲート絶縁膜を備えた第2の絶縁ゲート トランジスタとを有する半導体装置が提供される。

れた茶子分離領域によって画定された第1、第2括性質 域と、前記第1の活性領域上に形成され、ゲート絶縁膜 エクステンション領域と、前記第1の絶縁ゲートに整列 ムを添加した第1のポケット領域とを有し、前記第1の 倒壁スペーサド方にアモルファス相の領域を含む第1の るシリコン基板と、前記シリコン基板の主表面に形成さ を備えた第1の絶縁ゲートと、前記第1の絶縁ゲートの 両側壁上に形成された第1の側壁スペーサと、前配第1 の絶録ゲート両側の第1の活性領域に形成された第1の して前配第1のエクステンション領域より深い位置で前 記第1の活性領域内に形成され、第1の濃度のインジウ nチャネルMOSトランジスタと、前配第2の活性領域 上に形成され、ゲート絶縁膜を備えた第2の絶縁ゲート と、前配第2の絶縁ゲートの両側壁上に形成された第2 の回覧スペーサと、 前記第2の絶談ゲート両側で第2の され、前記第1の濃度より低濃度の第2の濃度のインジ ウムを添加した第2のポケット関域とを有し、前配第2 アモルファス相の領域が少ない第2のnチャネルMOS 【0021】本発明の他の観点によれば、主要面を有す 前記第2の絶縁ゲートに整列して前記第2のエクステン ション領域より深い位置で前記第2の活性領域内に形成 の側壁スペーサ下方は前記第1の側壁スペーサ下方より [0022] 本発明のさらに他の観点によれば、(a) 括性領域に形成された第2のエクステンション領域と、 トランジスタと、を有する半導体装置が提供される。

(c) 前記ゲート絶縁膜上に導電性ゲート電極層を形成 する工程と、(d)前記ゲート電極層、ゲート絶縁膜を 第1、第2の活性領域を画定する工程と、(b) 第1、 第2の活性領域上にゲート絶縁膜を形成する工程と、

側に第1、第2のエクステンション関域を形成する工程 より深い第2の深さでイオン注入する工程と、(g)前 インジウムを第1のドース量より低い第2のドース位で ト、第2の活性領域上に第2の絶縁ゲートを形成する工 程と、(e) 前記第1、第2の括性質域にn型不純物を 第1の磔さでイオン注入し、第1、第2の絶縁ゲート両 記第1の活性領域をマスクして、前記第2の活性領域に 前記第1の深さより深い第3の深さでイオン注入する工 と、(1)前配第2の活性関域をマスクして、前配第1 の活性領域にインジウムを第1のドース量で第1の深さ パターニングして第1の活性領域上に第1の絶縁ゲー 程とを含む半導体装置の製造方法が提供される。

【0023】ポケット領域形成のためのInドーブ量を 別限することにより、リーク電流の増大を抑制すること ができる。アモルファス相発生を抑制することができ

一トチャネル効果抑制の効果が不足する分を補うことが 【0024】さらに、Bをドープすることにより、ショ

[0025]

用いてポケット領域を形成したnチャネルMOSトラン ポケット領域形成のためにインジウムを用いたnチャネ AMOSトランジスタについて説明する。 インジウムを ジスタの接合リーク電流が増大することは、アモルファ [発明の実施の形態] 本発明の実施例の説明に先立ち、 ス相の段留との関連が示唆されている。

は、イオン注入後の活性化熱処理において回復されてい た。近年、トランジスタの微細化に伴い、活性化熱処理 タにおいては、側壁スペーサ下部にアモルファス相が残 のサーマルバジェットが低下している。このため、十分 なアモルファス相の回復が出来なくなって来ている。イ ンジウムを注入し接合リーク電流が増大したトランジス 【0026】イオン注入時に発生するアモルファス相 留していることが指摘されている。

【0027】インジウムの活性化単はボロンに比べて低 い。トランジスタ関値関盤に用いられるインジウムのド **-- スロ当りの影響は、ポロンに比べて小さくなる傾向が** よりも ドーズ鼠を歯やしたインジウムをドープする必要 がある。ドーズ量を増大することは、アモルファス相の ある。同一のトランジスタ関値を得るためには、ポロン 形成を助反することになる。

[0028] スタティックランダムアクセスメモリ (S 回路のトランジスタなどと較べ、狭いゲート幅のトラン R AM)等のメモリセルは、集積度向上のためロジック

【0029】 シャロートレンチアイソワーションを用い ジスタを用いて形成される。

主表面を有するシリコン基板に案子分離領域を形成し、

9

た半草体デバイスにおいては、トランジスタのゲート幅が低くなるに従い図的包圧が低下する。トランジスタのゲート幅が狭くなるに従い、図信包圧が低大する投手・ネル効果に対し、図信包圧が低下する現象は逆状チャネル効果と呼ばれる。中型ボケット関係を形成するためにインジウムを用いたデバイスにおいては、ボロンを用いたデバイスには、建立を用いたデバイスには、建立を用いたデバイスには、建立が表現がより函数になる。図的包圧が低下するため、リーク電流的大につながり易

【の030】図6は、本発明者等が行なったサーマルウェーンの実験結果を示す。図5(D)に示すようなnチャネルMOSトランジスタにおいて、ポケット領域7を、積々のドース量のインジウムイオンは入により形成した。また、イオン社入後行なう活性化熱処理の条件を放たさせた。

[0031]これらのサンブルに対し、ある国波数の熟 被を与え、反射した熱液を測定することにより反射単を 調定し、サーマルウェーブュニットを得る。半導体基板 内にアモルファス領域があると、このアモルファス領域に飛送の反射を増大させる機能を有する。従って、熱波の反射率が高いことは、基板中にアモルファス相が発生していることを示域する。サーマルウェーブコニットの 均大は、アモルファス相の領域の個大を示唆する。

を示す。インジウムのドース位は、1. 5×10¹³cm [0032] 図6において、複価はインジウムのドース 3. 0×10¹³cm⁻², 4. 0×10¹³cm⁻²に変化さ C、20秒間の熱処理を行ったサンブルの測定結果は曲 ムドース品が2.5×10¹³cm⁻²を越えると、サーマ ルウェーブユニットは徐々に増大する。約3.5×10 13cm-2を超えるインジウムドース量では、低ドーブ領 【0033】1025℃、3秒間の熱処理を行ったサン 段c 2 で示されている。曲線 c 1 においては、インジウ 約20%以上のサーマルウェーブユニットの僧大が認め **量であり、緩慢はサーマルウェーブユニット(反射串)** せ、熱処理条件は1025℃3秒、1025℃20秒、 咳での変化のないサーマルウェーブユニットと比較し、 プルの副定結果は曲数c1で示されている。1025 $^{-2}$, 2. $0 \times 10^{13} \text{cm}^{-2}$, 2. $5 \times 10^{13} \text{cm}^{-2}$, 1100℃3秒、900℃20秒の4条件で行った。

【0034】1025℃での熱処理時間を39から20秒に均加させると、曲線c2に示すように、サーマルクェーブユニットは1nドーブ低に拘わらず、ほぼ平坦な値を示す。1nのイオン注入により発生したアモルファス相は、13ば完全に結晶相に回復していると考えられる。しかしながら、この熱処理条件は微細デバイスに対し接合形状等他の点で与える影響が大きくなる。

【0035】熱処理協度を低減した900℃、20秒間の熱処理に対しては、曲線 1 1で示される特性が得られた。曲線 4 1 ビデされる特性が得られた。曲線 4 1においては、インジウムドース量が2.0

×1013cm-2を超えると、サーマルウェーブユニットは明瞭な始大を示している。低ドース領略でほぼ平坦なサーマルウェーブユニットを基準として、インジウムドース量2.5×1013cm-2において、約30%のサーマルウェーブユニットの増大が認められる。

【のの36】熱処理温度を高くした1100℃、3秒間の熱処理に対しては、曲級42で示される特性が得られた。曲級42においては、インジウムドース量を増大してもナーマルウェーブユニットの増大は認められず、ほぼ平坦女特性が得られている。しかしながら、1100℃、3秒間の熱処理は、微細デバイスに対し、接合形状等他の点で与える影響が大きい。

[0037] 図6に示す測定結果からは、熱処理を1025℃、3秒間で行なう場合、インジウムのドース監は約3.5×10¹³cm⁻²以下とすることがアモルファス相抑制の点から好ましいと判る。900℃、20秒間の熱処理を行なう場合は、インジウムドース監はさらに低く約2.5×10¹³cm⁻²以下にすることが望ましい。

[0038]以下、本発明の実施例について説明する。 図1(A)~図2(E)は、単一の半導体チップ上に1 nでポケット関域を形成し、リーク電流の増加を許容する標準トランジスタと、1nを用いるが、リーク電流を 低減した低リークトランジスタとを製造する方法の主要 工程を示す半端体チップの新面図である。

【のの39】図1(A)に示すように、シリコン基板1の土装面に、STIにより業子分離領域2を形成する。業子分離領域2は、シリコン基板1主装面に多数の活性領域ARを固定する。

【0040】ロチャネル倒域をレジスト等のマスクで優い、ロチャキル領域にB+イオンを加速エネルギ300keV、ドース量3.0×10^{13cm-2}でイオン注入し、P型ウェル3を形成する。さらに、設面部分にB+イオンを加速エネルギ30keV、ドース量5.0×10^{12cm-2}でイオン注入し、図値を調整したチャネルを形成する。

【0041】 ロチャネル領域に対しては、n チャネル領域をレジスト等のマスクで置い、別国のイオン社入を行かる。

[0042] 活性領域上に薄いゲート絶緯頃4、例えば厚さ約5~10nmの酸化シリコン膜を然酸化などで形成し、その姿面上に多結晶シリコン、ポリサイド等の導電性ゲート電極層を形成する。ゲート電極層上にレジストマスクPRを形成し、パターニングすることにより、絶緯ゲート電極5、ゲート絶緯域4を形成する。その後、レジストマスクPRは除去する。

[0043]因1(B)に示すように、絶縁ゲート結婚 5、STI関係2をマメクとし、ロチャネル鎖域の活性 関戦にAsヤイオンを加速コネルギ5keV、ドース田 3.0×1015cm-2程度でイオン柱入し、浅いソース /ドレインコクステンション貿域6を形成する。

【0044】なお、このイオンは入の際、ロチャネル領 岐はレジストマスクで覆って囮く。ロチャネル匈岐に対 しては、ロチャネル領岐をレジスト等のマスクで覆っ

て、別個のイオン注入を行なう。 【0045】なお、以上の工程は、標準トランジスタ、 低リークトランジスタに共通である。

3. 0×10¹³cm-²程度でイオン注入し、n型ウェル

OkeV、ドース国2. 0×1012cm-2程度でイオン

1.3を形成する。さらに、P*イオンを加遊エネルギ8

【0046】図1 (C) は、左側に標準トランジスタ、右側に低リークトランジスタを示す。図に示すように、低リークトランジスタの活性領域をレジストマスク PR 1で覆い、nチャネル標準トランジスタの活性領域に 1 *イオンを加速エネルギ100ke V、ドース低6.3×10¹³cm⁻²程度イオン注入し、浅いエクステンション領域の下にポケット領域7を形成する。その後レジストマスク PR 1 は除生する。

【のの47】イオン注入の方向は、基板法線から約30 度チルトした4方向から行なう。チルトさせる却により 建株ゲート端部下方に入り込んだり型ポケット領域を作 【0048】図2 (D) に示すように、標準トランジスタ質験をレジストマスクPR2で優い、ホチャネル低リークトランジスタの活性領域に対し、ボケット領域形成のためのイオン注入を行なう。先ず、「n*イオンを加速エネルギ100keV、トータルドース量3.4×1013cm~2程度イオン注入する。このイオン注入も、超板法線から30度チルトした4方向から行う。

【0049】このように、低リークnチャネルMOSトランジスタのポケット領域に対しては、Inのイオン社入産を制限し、アキルファス相の発生を抑制する。ショートチャネル効果抑制の効果が不足する分はBをイオン性入することによって補う。その後レジストマスクPR2は除去する。なお、図1(C)、図2(D)の工程は、nチャネルMOSトランジスタに対しては、別園のイオン社入を行なう。

【0050】図2(E)に示すように、絶縁ゲート電権 5を覆うように、酸化シリコン層等の絶談層を推销し、 異方性エッチングを行なうことによって絶縁ゲート電極 の閲覧上にのみ創墜スペーサ8を残す。 【0051】絶験ガート電極5、側壁スペーサ8をマスクとし、n型不純物、例えばP*イオンを加速エネルギー5 ke V、ドース量5.0×10^{15 cm-2}程度でイオン柱入し、深いソース/ドレイン領域9を作成する。深いソース/ドレイン領域9は、側壁スペーサの外側に形成されるため、側壁スペーサの下方には、エクステンション領域6、ポケット領域7が投る。

[0052] 図3 (A) ~ (C) は、pチャネル領域におけるpチャネルMOSトランジスタの製造工程を示す断面図である。

特別平15-01578 【0053】図3(A)に示すように、シリコン基板1 の主设面に前途の工程によりST1の兼子分離回域2を 形成する。pチャネル活性関域に対し、n型不純物例え ばP+イオンを加速エネルギ600keV、ドース量

性入し、関的関盤を行なったチャネルを形成する。 【0054】 否性関域上に酸化シリコン等のゲート総線 膜4を形成した後、多結晶シリコン、シリサイド等のゲート電極的を形成し、パターニングすることによりゲート電線原4を個えた絶縁ゲート電極15を形成する。な

お、ゲート電極15に含まれる多結晶シリコン層は、p

型にドープされる。

【0055】図3(B)に示すように、ゲート収穫15、光子分離関級2をマスクとし、倒えばBギイナンを加速エネルギ1keV、ドース量3.0×10¹⁴cm⁻²程度でイオン洋人し、投いソース/ドレインエクスデンション関級16を形成する。

【0056】図3(C)に示すように、As+イオンを加速エネルギ80keV、ドース配3. 0×10¹³cm-²程度でイオン注入し、ソース/ドレインエクステンション質域の下側にn型ボケット領域17を形成する。なお、ポケット領域形成のためのイオン注入は、基板注線に対し30度チルトした4万向から行う。

[0057] 図3 (D) に示すように、前述の工程により絶縁ゲート遺権15回壁上に回陸スペーサ8を形成する

[0058] その後、B*イオンを加速エネルギ5ke V、ドース配5. 0×10¹⁵cm⁻²程度でイオンは入 L、篠いソース/ドレイン関連19を形成する。

[0059] Asで形成するポケット領域には、Inで形成するポケット領域のように、リーク電流発生等の問題が生じない。このため、標準トランジスタと低リークトランジスタを作り分ける必要はない。

[0060] 図4 (A) ~ (C) は、入出力回路等に形成される活動圧トランジスタの製造工程を示す。 [0061] 図4 (A) に示すように、前述の実施例同

Mc4tのmm.r.ソノンスラン製品工程をボリ。 [0061] 図4 (A) に示すように、前述の収益例同様の工程により、素子分離預味2が形成される。以下、nチャネvMOSトランジスタを製造する場合を例にと [0062] B+イオンを加速エネルギ300keV、ドース量3.0×10^{13cm-2}程度でイオン柱入し、P型ウェル23を形成する。さらに、B+イオンを加速エネルギ30keV、ドース量7.0×10^{12cm-2}程度でイオン柱入し、チャネル領域を形成する。

、イス・コンプン、イインのなるのがあった。 【0063】 活性領域上に厚いゲート絶域質14を形成し、その上にゲート危極圏を形成する。 厚いゲート絶縁機は、所留の耐圧を得るようにその厚さが制御される。 例えば、活性領域支面の酸化工程を2段階に分け、その

4の酸化収を除去する。このようにして、厚いゲート絶 中間段階において厚膜のゲート絶縁膜を形成する領域以 **3.版と海いゲート絶縁順を形成する。**

[0064] ゲート電極間、ゲート絶縁膜をレジストマ スクを用いてパターニングすることにより、ゲートÜ極 25、ゲート絶段膜14を形成する。

回避エネルギ10keV、ドース四3.0×1014cm -2程度でイオン注入し、ソース/ドレインエクステンシ |0065| 図4 (B) に示すように、Astイオンを ョン四種を形成する。

[0066] 図4 (C) に示すように、前述の実施例同 袋の工程により、ゲート低極25側壁.上に側壁スペーサ 8 を形成した後、例えばP+イオンを加速エネルギ15 keV、ドース昼5×1015cm-2程度でイオン注入 し、欲いシース/ドレイン題域29を形成する。

|0067|| 高耐圧トランジスタは、さほど微却化され ず、ポケット関域も設けられない。

[0068] 図4 (D) は、上述のような工程により形 体チップ30は、入出力回路31、メモリ回路32、ロ こ示すような高耐圧トランジスタを含む。メモリ領域3 AM) で形成され、低リークnチャネルトランジスタを 用いて形成される。ロジック回路33は、CMOS回路 で構成され、メモリセルの低リークトランジスタよりゲ 一ト幅の広いnチャネル模準トランジスタと、ポケット 成される半導体チップの平面構成を最略的に示す。半導 2は、例えばスタチックランダムアクセスメモリ(SR ジック回路33を含む。入出力回路31は、図4(C) **頚域を備えた p チャネルトランジスタで形成される。**

のイオン法人で形成した低リークトランジスタの特性で ある。曲殻sは、ポケット函板を6.28×10¹³cm 【0069】図7 は、上述の実施例に従って形成した模 示す。図中複句は、リーク位流を単位Aで示し、縦軸は 異領磁率を示す。曲線 r がポケット領域を3. 4×10 13cm-2のインジウムと2.0×1013cm-2のボロン **草トランジスタと低リークトランジスタのリーク特性を** -2のインジウムのイオン往入で作成した標準トランジス タの特性である。

[0070] 図から明らかなように、リーク電流は1桁 たことにより、リーク低流が大幅に減少していることが 明らかである。Inのドープ鼠を低減すると、アモルフ アス化される量が減少し、熱処理により満足できる程度 **鉛を一定値以上に増加させると、回復できないアモルフ ァス餌域が増加し、リーク低液を増大させるものと考え** 以上の大きな差を示している。Inのドープ丘を制限し まで結晶相に回復するものと考えられる。Inのドーブ

[0071]図8 (A)~(C)は、図値包圧のゲート 艮及びゲート幅依存性を示す。 [0072] 図8 (A) に示すように、活性領域AR上 にゲート配種Gが形成されている場合、ゲート配種の幅

(電流方向の長さ)をゲート長しとし、それと直交方向 の活性領域の幅をゲート幅Wとする。

標準トラジスタと、ポケット領域をInとBとの2種類 れている。これら2種類のトラジスタの関値は、ほぼ同 **苺であり、低リークトランジスタが標準トランジスタと 【0073】図8(B)は、トランジスタの閾値電圧の** ゲート長依存性を示すグラフである。図中横軸はゲート 艮しを単位μmで示し、縦軸はトランジスタの関値V t hを単位Vで示す。ポケット領域をInのみで形成した の不純物で形成した低リークトランジスタの特性が示さ まぼ同様のショートチャネル効果を抑制した特性を維持 していることを示している。

【0074】図8 (C) は、関値のゲート幅依存性を示 値Vthを単位Vで示す。標準トランジスタの閾値Vs は、ゲート幅Wの減少と共に減少を続け、IBIEのまで達 している。これに対し、ポケット領域をInとBとの混 ゲート幅Wの減少(狭チャネル化)に対しても、有限の 値を維持している。このように、低リークトランジスタ により逆쏹チャネル効果の影響を低減したトランジスタ す。図中横軸はゲート幅Wを単位μmで示し、縦軸は路 合により形成した低リークトランジスタVyの閾値は、 が得られる。

【0075】SRAM等のメモリ回路は、集積度向上の **氏リークトランジスタで形成される。ロジック回路はゲ** ート幅がより広い、例えば1~10ヵmの、標準トラン ため狭いゲート幅の、例えば0.05~0.5gmの、 ジスタを用いて形成される。

化合物を用いてもよい。 論理回路を標準トランジスタで クトランジスタのみで作ることもできる。 ゲートとして 作る場合を説明したが、論理回路を標準トランジスタと **近リークトランジスタとの組み合わせ、または、低リー** 【0076】なお、p型不純物としてBを用いる場合、 イオン種としてボロンの他BF2、デカボラン等ボラン ノッチゲートを用いてもよい。

随々の変更、改良、組み合わせが可能な事は当業者に自 が、本発明はこれらに制限されるものではない。例えば [0077] 以上に実施例に沿って本発明を説明した 明であろう。

[0078]

世符したまま、インジウムを用いることによって生じ得 インジウムを用いてポケット領域を形成し、その利点を 【発明の効果】以上説明したように、本発明によれば、 るリーク電流増大を低減することができる。

【図1】 本発明の実施例によるnチャネルMOSトラ 【図画の簡単な説明】

ンジスタを有する半導体装置の製造工程を示す断面図で

[図2] 本発明の実施例によるnチャネルMOSトラ ンジスタを有する半導体装置の製造工程を示す断面図で

【図3】 pチャネルMOSトランジスタの製造工程を

高耐圧トランジスタの製造工程を示す断面図 示す断面図である。 [<u>K</u> 4]

及び半導体チップの平面図である

[図5] 従来の技術による半導体装置の製造工程を示

す半導体チップの断面図である。

除こンーレ/ドフィン超換

エクステンション領域

ゲート絶縁膜

ゲート位極

ポケット領域

宮根スペーサ

ウェル/チャネル領域

<u>ლ</u> 2 イクステンション領域

9

ゲート配施

ポケット領域

[図6] ポケット領域をインジウムで形成した場合の サーマルウェーブの測定結果を示すグラフである。

と、インジウムとボロンを混合して形成した場合のリー [図7] ポケット領域をインジウムで形成した場合 ク電流特性を示すグラフである。

終 シンー メノ ドライン 囲み

6 23 2 5

ウェル/チャネル領域

ゲート電極

徐ごンーメ/ドアイン匯域

5 9

半導体チップ

30

人出力回路 メモリ回路

32

[図8] 標準トランジスタと低リークトランジスタの 関値のゲート幅及びゲート長依存性を示すグラフであ

[符号の説明]

シリコン基板

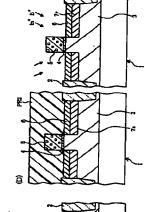
業子分離領域

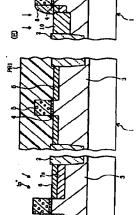
ウェル/チャネル領域

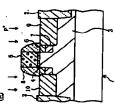
<u>(図</u>

[図]

ロンシク回路







8

特阻平15-017578

ALC: 4

特開平15-017578

[X] 4] (B)

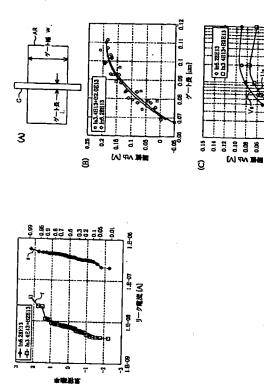
[<u>8</u>3]

3

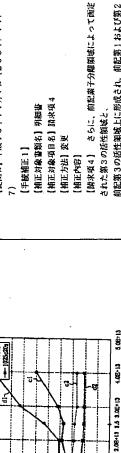
特開平15-017578

[**図**8]

[図7]



8



55 25 25 35 35 25 35 35 h ト~~★ (cm²)

化合物を用いてもよい。 論理回路を標準トランジスタで 低リークトランジスタとの組み合わせ、または、低リー クトランジスタのみで作ることもできる。ゲートとして 作る場合を説明したが、論理回路を標準トランジスタと [0076]なお、p型不純物としてBを用いる場合、 イオン強としてポロンの他BF2、デカボラン停ボロン ノッチゲートを用いてもよい。 【補正対象項目名】0076 [補正対象事類名] 明細事 補正対象數類名】図面 [補正対象項目名] 図8 [補正方法] 変更 補正方法] 変更 [手機補正3] 桶正内容] [補正内容] 有する第3の絶縁ゲートと、前記第3の絶縁ゲート両側 で第3の活性領域に形成され、ポケット領域を伴わない 前記第3の活性領域上に形成され、前記第1および第2 第3のエクステンション領域とを有する第3のnチャネ ルMOSトランジスタと、を有する請求項1~3のいず の絶録ゲートのゲート絶録膜よりも厚いゲート絶録膜を 【提出日】平成13年11月7日 (2001. 11. れか1項に記載の半導体装置。 [手模補正2] (手锭補正事)

ゲート展「町

[9図]

(<u>8</u> 2)

3

2

特開平15-017578

 $\widehat{\Xi}$

3

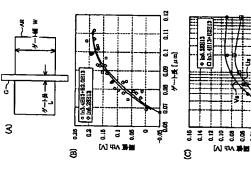
★ 1 年 1 元

52.0

æ

0 0.15

【補正方法】変更 【補正内容】 [図8]



90.0

フロントページの続き

神奈川県川崎市中原区上小田中4丁目1番

BB05 BB08 BB16 BB18 BC05 Fターム(参考) 5F048 AA07 AA08 AB03 AC01 BA01

5F140 AA21 AA22 AA24 AB01 AB03 BC06 BD04 BC14

AC32 AC33 BA01 BB15 BC06 8E07 BF04 BF11 BF18 BC08

BG12 BG51 BG53 BH14 BH15 BH21 BH36 BK02 BK13 BK14 BK21 BK22 CB04 CB08

≘

【提出日】平成13年12月19日 (2001, 12.

(年校藩正教)

【補正対象事類名】図面 【補正対象項目名】図4 [桶正方法] 変更

[新正内容]

[手統補正1]

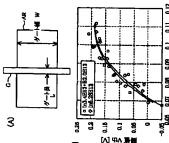
6 1

ゲート値[um]

2 8 8 1 9

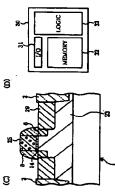
(72)発明者 岡郎 堅一

爱知県春日井市高蔵寺町二丁目1844番2号 富士通ヴィエルエスアイ株式会社内 1号 富士通株式会社内 (72) 発明者 黄辺 孔



0.16 ö

9



[手機補正2]

【補正対象事類名】図面 【補正対象項目名】図8